

BUNDESREPUBLIK DEUTSCHLAND



Prioritätsbescheinigung über die Einreichung einer Patentanmeldung

Aktenzeichen: 102 56 973.8

Anmeldetag: 5. Dezember 2002

Anmelder/Inhaber: Infineon Technologies AG, München/DE

Bezeichnung: Integrierter Halbleiterspeicher mit einem an einem
Steg ausgebildeten Auswahltransistor

IPC: H 01 L 27/108

Die angehefteten Stücke sind eine richtige und genaue Wiedergabe der ursprünglichen Unterlagen dieser Patentanmeldung.

München, den 18. November 2003
Deutsches Patent- und Markenamt
Der Präsident
Im Auftrag

Stark

Beschreibung

Integrierter Halbleiterspeicher mit einem an einem Steg ausgebildeten Auswahltransistor

5

Die Erfindung betrifft einen integrierten Halbleiterspeicher mit einer Speicherzelle, die einen Speicherkondensator und einen Auswahltransistor aufweist, wobei der Auswahltransistor an einem Steg aus Halbleitermaterial ausgebildet ist und ein
10 erstes und ein zweites Source/Drain-Gebiet und mindestens eine Gate-Schicht aufweist.

Integrierte Halbleiterspeicher besitzen ein Speicherzellenfeld mit einer Vielzahl von Speicherzellen zum Speichern digitaler Informationen sowie einen Logikbereich zum Ansteuern
15 des Speicherzellenfeldes und zum Betrieb des Halbleiterspeichers. Die Speicherung geschieht in Speicherkondensatoren, die über einen Auswahltransistor angesteuert werden, der sich im Kreuzungspunkt zwischen einer Wortleitung, durch welche er
20 elektrisch geöffnet oder geschlossen wird, und einer Bitleitung befindet. Im Logikbereich sind weitere Transistoren angeordnet, die nicht zum Auswählen einer Speicherzelle dienen, sondern entsprechend ihrer Bestimmung für eine digitale oder
25 analoge Logikschaltung anders aufgebaut und anders dimensioniert sind als Auswahltransistoren von Speicherzellen. Insbesondere die an den Speicherbereich gestellte Forderung nach größtmöglicher Platzersparnis auf der Waferfläche einerseits und der an einem analogen Logikbereich gestellten hohen Anforderungen an das analoge Schaltverhalten dort angeordneter
30 Transistoren andererseits ergeben sich unterschiedliche Auswahlkriterien für die Bauweise der einzusetzenden Transistoren in beiden Bereichen.

Eine im Speicherbereich denkbare Bauweise des Auswahltransistors ist der Surrounding-Gate-Transistor, bei dem durch eine
35 senkrechte Ätzung ausgebildete Stege aus Substratmaterial als Grundstruktur für die Ausbildung des Transistors verwendet

werden. Dabei wird der strukturierte, meist längliche Steg mit einem Gate-Dielektrikum bedeckt und von allen Seiten außer der Oberseite mit einer durch die Spacertechnik ausgebildeten umlaufenden Gate-Elektrode umgeben. An einem Ende des Steges wird ein Grabenkondensator angeordnet, wobei durch Ausdiffusion von dessen innerer Kondensatorelektrode ein erstes, unteres Source/Drain-Gebiet gebildet wird. Auf der Oberseite des Steges wird durch Implantation ein zweites, oberes Source/Drain-Gebiet implantiert, so daß an dem einen seitlichen Ende des Steges, an dem sich der Grabenkondensator befindet, ein vertikaler Auswahltransistor entsteht.

Ebenso können die vertikalen Auswahltransistoren im Innern eines Kondensatorgrabens oberhalb des Speicherkondensators ausgebildet werden.

Weiterhin gibt es Halbleiterspeicher mit planaren Auswahltransistoren im Speicherzellenfeld, die seitlich der angeschlossenen Speicherkondensatoren angeordnet sind. Diese Auswahltransistoren besitzen keinen Steg aus Substratmaterial.

Diese Bauweisen von Auswahltransistoren werden schaltungstechnisch meist durch Feldeffekttransistoren, insbesondere MOSFETs (metal oxide semiconductor field effect transistor) realisiert, bei denen zwischen zwei Source/Drain-Gebieten unterhalb eines Gate-Dielektrikums ein elektrisch leitfähiger Kanal durch Inversion dotiertem Substratmaterials gebildet wird. Der Inversionskanal besitzt eine Kanallänge zwischen Source und Drain sowie eine Kanalbreite, die im wesentlichen der verwendeten optischen Auflösungsgrenze entsprechen.

Angesichts kleiner werdender Betriebsspannungen und kleiner werdender lateraler Abmessungen der Speicherzellen bei begrenzter Stromdichte kann die Schreib- und Lesegeschwindigkeit nicht ausreichend auf das gewünschte Maß gesteigert werden.

Außerdem verursachen Leckströme, die unter anderem über die elektrische Verbindung zwischen Speicherkondensator und Auswahltransistor fließen, eine vorzeitige Entladung des Speicherkondensators, die gerade bei flüchtigen Halbleiterspeichern die Wiederauffrischungsperiode verkürzt und den Stromverbrauch des Speichers in die Höhe treibt.

Es ist die Aufgabe der vorliegenden Erfindung, einen integrierten Halbleiterspeicher bereitzustellen, der mit einem höheren Strom zum Einschreiben und/oder Auslesen von Informationen betreibbar ist und der weniger anfällig gegen Leckströme ist.

Diese Aufgabe wird erfindungsgemäß dadurch gelöst, daß bei dem eingangs genannten integrierten Halbleiterspeicher

- der Steg auf einer Isolationsschicht angeordnet ist,
- an einem seitlichen Ende des Steges das erste Source/Drain-Gebiet auf der Isolationsschicht angeordnet ist und an einem anderen seitlichen Ende des Steges das zweite Source/Drain-Gebiet auf der Isolationsschicht angeordnet ist, und
- beide Längsseiten des Steges und die Oberseite des Steges mit einer Schichtenfolge aus einem Gate-Dielektrikum und einer Gate-Elektrode bedeckt sind.

Erfindungsgemäß wird in einer Speicherzelle, d.h. innerhalb eines Speicherzellenfeldes an einem Steg aus Substratmaterial ein Transistor mit parallel zur Isolationsschicht verlaufender Stromflußrichtung des Transistorkanals vorgesehen. Die Stromflußrichtung ist ferner parallel zur Längsrichtung des Steges. Beide Längsseiten sowie die Oberseite des Steges sind von einem Gate-Dielektrikum und einer darüber angeordneten Gate-Elektrode bedeckt. Dadurch wird eine wesentlich größere Kanalbreite erreicht als bei herkömmlichen Auswahltransistoren, da die doppelte Steghöhe (jeweils an der linken und rechten Längsseite des Steges) sowie die Stegbreite zusammen die Kanalbreite ergeben. Durch große Steghöhen sind somit oh-

ne Vergrößerung der Grundfläche der Speicherzelle hohe Kanalbreiten, d.h. hohe Ströme zum Speichern und Auslesen von Informationen erreichbar, wodurch die Schreib- und Leseschwindigkeit des Halbleiterspeichers zunimmt.

5

Gleichzeitig ist das Ausmaß potentieller Leckströme im Off-Zustand des Transistors, d.h. wenn kein Kanal ausgebildet ist, verringert, da der Transistor sowie seine leitende Verbindung zum Speicherkondensator gegen das Halbleitersubstrat durch die vergrabene Isolationsschicht getrennt sind, so daß eine zuverlässigere Isolierung erreicht wird als bei den durch Ausdiffusion gebildeten unteren Source/Drain-Kontakten der Surrounding-Gate-Transistoren, bei denen die leitende Verbindung zwischen Auswahltransistor und Speicherkondensator durch eine in das Halbleitermaterial hineinreichende Dotierstoffdiffusion gebildet wird.

10

15

20

Bei dem erfindungsgemäßen Halbleiterspeicher befindet sich der an dem Steg ausgebildete Auswahltransistor vollständig oberhalb der vergrabenen Isolationsschicht, vorzugsweise einer Oxidschicht, und wird gegen benachbarte Speicherzellen durch die vergrabene Isolationsschicht isoliert. Shallow-Trench-Isolationen sowie Collar-Bereiche können erfindungsgemäß entfallen.

25

Somit sind gegensätzliche Anforderungen an die Transistoreigenschaften und an das Retention-Verhalten besser miteinander vereinbar als bei einem herkömmlichen Halbleiterspeicher.

30

35

Vorzugsweise ist vorgesehen, daß der Speicherkondensator ein Grabenkondensator ist, dessen innere Kondensatorelektrode in einer Tiefe unmittelbar unterhalb der vergrabenen Isolationsschicht nur durch ein Kondensatordielektrikum, das sich bis zum Boden des des Speicherkondensators erstreckt, von einer äußeren Kondensatorelektrode getrennt ist. Bei herkömmlichen Grabenkondensatoren ist in einem oberen Bereich ein Collar-Bereich vorgesehen, der die Ausbildung parasitärer Transisto-

ren verhindert. Er führt zu einer Einengung der inneren Kondensatorelektrode, so daß diese im oberen Bereich nicht nur durch das Kondensatordielektrikum, sondern auch durch den Collar-Bereich, der sich nicht bis zum Boden des Kondensators erstreckt, von der durch das Halbleitermaterial des Substrats gebildeten äußeren Kondensatorelektrode getrennt ist. Dadurch kann der Speicherkondensator erst unterhalb einer gewissen Tiefe, die der Höhe des Collar-Bereichs entspricht, gefertigt werden. Bei der bevorzugten Ausführungsform ohne Collar-Bereich hingegen kann sich der Speicherkondensator bis zur vergrabenen Isolationsschicht, die unmittelbar unterhalb des Steges angeordnet ist, ausgebildet werden, wodurch seine Kapazität steigt.

Vorzugsweise ist vorgesehen, daß sich die innere Kondensatorelektrode des Speicherkondensators bis zur Unterseite der vergrabenen Isolationsschicht erstreckt und durch einen Oberflächenkontakt mit dem ersten Source/Drain-Gebiet des Auswahltransistors verbunden ist. Der Oberflächenkontakt befindet sich somit in Höhe der und oberhalb der vergrabenen Isolationsschicht und ist durch diese gegen das tieferliegende Substratmaterial elektrisch isoliert. Leckströme zwischen dem Speicherkondensator und dem Auswahltransistor können somit in diesem Bereich kaum auftreten.

Vorzugsweise ist vorgesehen, daß die Oberseite des Oberflächenkontakts unterhalb der Höhe der Oberseite des Steges angeordnet ist und durch eine isolierende obere Füllstruktur gegen eine an dem Speicherkondensator vorbeiführende Wortleitung elektrisch isoliert ist. Diese Wortleitung (passing wordline) wird gewöhnlich auf gleicher Höhe wie die an den Auswahltransistor angeschlossene Wortleitung ausgebildet, welche die Oberseite des Steges bedeckt. Die auf gleicher Höhe verlaufende passing wordline ist durch die obere Füllstruktur gegenüber der Oberseite des nach oben verkürzten Oberflächenkontakts isoliert.

Vorzugsweise ist vorgesehen, daß das Halbleitersubstrat unterhalb der vergrabenen Isolationsschicht dotiert ist. Der Einsatz eines SOI-Substrats (silicon on insulator) in Verbindung mit der hier vorgeschlagenen Bauweise von Auswahltransistoren ermöglicht eine besonders gute Isolierung des Strompfades zwischen einem Auswahltransistor und dem daran angeschlossenen Speicherkondensator gegen andere benachbarte Speicherzellen sowie gegenüber dem tieferliegenden Halbleitersubstrat.

10

Vorzugsweise ist vorgesehen, daß das zweite Source/Drain-Gebiet in Längsrichtung des Steges dieselbe Abmessung, d.h. dieselbe Breite besitzt wie die Unterseite eines Spacers einer den Steg bedeckenden Wortleitung und daß das zweite Source/Drain-Gebiet auf der dem Steg abgewandten Seite mit einem Bitleitungskontakt verbunden ist. Somit läßt sich mit Hilfe des Wortleitungsspacers eines der Source/Drain-Gebiete auf einfache Weise strukturieren. Die dem Steg abgewandte Seitenfläche dieses Source/Drain-Gebiets kann durch einen Bitleitungskontakt mit einer oberhalb des Steges und oberhalb der Wortleitung verlaufenden Bitleitung verbunden sein.

20

Dementsprechend ist vorgesehen, daß oberhalb des Steges eine Bitleitung angeordnet ist, die parallel zur Längsrichtung des Steges verläuft und an das zweite Source/Drain-Gebiet angeschlossen ist. Durch diese Bitleitung können in ihrer Längsrichtung aneinandergereihte, durch Kondensatorgräben unterbrochene Stege an jeweils einem Ende über den Bitleitungskontakt kontaktiert werden. In Richtung der Wortleitungen benachbart zu den Stegen und in einer Höhe unterhalb der Bitleitungen ist, soweit dort keine Wortleitungen verlaufen, das Speicherzellenfeld mit einem isolierenden Material, beispielsweise einem Oxid oder Nitrid aufgefüllt.

30

Vorzugsweise ist vorgesehen, daß senkrecht zur Längsrichtung des Steges eine Wortleitung verläuft, die das Gate-Dielektrikum auf beiden Längsseiten und auf der Oberseite des Steges

35

bedeckt. Die durch die Wortleitung gebildete, an beiden in Längsrichtung verlaufenden Seitenwänden des Steges nur durch die Gate-Oxidschicht von dem Halbleitermaterial des Steges getrennte Gate-Elektrode führt zu einer Kanalbreite, die lediglich durch die Steghöhe begrenzt ist. Die Kanalbreite kann somit größer gewählt werden als die Strukturbreite (critical dimension), d.h. die verwendete optische Auflösungsgrenze der lithographischen Strukturierung. Der Steg kann schmaler strukturiert sein als die optische Auflösungsgrenze, er kann beispielsweise schmaler sein als die über ihm verlaufende Bitleitung. Die Kanalbreite wird dadurch nicht nennenswert beeinträchtigt, da im wesentlichen die Steghöhe zur Kanalbreite beiträgt.

Vorzugsweise weist der Halbleiterspeicher eine Vielzahl von Speicherzellen des Halbleiterspeichers mit an Stegen ausgebildeten Auswahltransistoren auf, wobei nur an jedem zweiten Kreuzungspunkt zwischen einer Bitleitung und einer Wortleitung ein Bitleitungskontakt angeordnet ist und an den übrigen Kreuzungspunkten eine Wortleitung oberhalb oder unterhalb eines Speicherkondensators vorbeiführt. Die an den Stegen ausgebildeten Auswahltransistoren lassen sich somit relativ zur Richtung der Wortleitungen und Bitleitungen in einem diagonalen Raster einander nächstbenachbarter Auswahltransistoren anordnen.

Der hier vorgeschlagene integrierte Halbleiterspeicher ist insbesondere ein dynamischer Schreib-Lese-Speicher, insbesondere ein DRAM (dynamical random access memory).

Die Erfindung wird nachstehend mit Bezug auf die Figuren beschrieben. Es zeigen:

Figur 1 einen schematischen Querschnitt durch einen erfindungsgemäßen Halbleiterspeicher,

Figur 2 einen weiteren schematischen Querschnitt entlang der Linie C-C in Figur 1 und

Figur 3 eine schematische Draufsicht auf den erfindungsgemäßen Halbleiterspeicher der Figuren 1 und 2.

Figur 1 zeigt einen integrierten Halbleiterspeicher 10 mit einem SOI-Substrat 20, dessen vergrabene Isolationsschicht 11 unmittelbar unterhalb der an Stegen 4 ausgebildeten Auswahltransistoren 3 der Speicherzellen 1 angeordnet ist. Die vergrabene Isolationsschicht, vorzugsweise Oxidschicht 11 besitzt Öffnungen, in denen ein Grabenkondensator 2 in das Substrat 20 eingelassen ist und durch einen in der Öffnung angeordneten Kontakt, einen Oberflächenkontakt 19, mit einem ersten Source/Drain-Gebiet 5 des Auswahltransistors 3 verbunden ist. Dieses erste Source/Drain-Gebiet 5 befindet sich an einem ersten Ende A des in Längsrichtung x verlaufenden Steges 4, das zweite Source/Drain-Gebiet 6 ist an dessen anderem seitlichen Ende B angeordnet. Zwischen diesen Enden A, B erstreckt sich der Steg mit seiner Haupterstreckungsrichtung x, die mit der Stromflußrichtung I des Transistorkanals zusammenfällt, und ist von oben sowie auf seinen Seitenwänden oberhalb und unterhalb der Zeichenebene von einem Gateoxid 9 und einer Gate-Schichtenfolge 16 umgeben.

Der Speicherkondensator 2 besitzt anders als herkömmliche Speicherkondensatoren keinen Collar-Bereich. Statt dessen ist die innere Kondensatorelektrode 12 in einer Tiefe unmittelbar unterhalb der Isolationsschicht 11 nur durch ein Kondensator-dielektrikum 13, das sich bis zum Boden 26 des Speicherkondensators erstreckt, von einer äußeren Kondensatorelektrode 18 getrennt.

Figur 2 zeigt einen Schnitt aus Figur 1 entlang der Linie C-C, d.h. senkrecht zur Zeichenebene der Figur 1. In Figur 2 verläuft der Transistorkanal senkrecht zur Zeichenebene durch den Steg hindurch, und zwar entlang beider Seitenflächen 14

und entlang der Oberseite 15. Dort ist die Gate-Schichten-
folge 16, die sich beispielsweise aus einer unteren Gate-
Schicht 7, etwa aus Polysilizium und einer oberen Gate-
Schicht, wie Wolfram enthalten kann, zusammensetzt, nur durch
5 das Gateoxid 9 oder ein sonstiges Dielektrikum von dem Kanal-
bereich des Steges 4 getrennt.

Die Abmessungen in Figur 2 sind nicht maßstäblich darge-
stellt. Vorzugsweise ist die Steghöhe größer als die verwen-
10 dete optische Auflösungsgrenze beim lithographischen Belich-
ten während der Fertigung des Halbleiterspeichers. Insbeson-
dere kann die Steghöhe und somit die Höhe der Seitenflächen
14 größer als der Abstand der Bitleitungen 17 voneinander
sein, wodurch eine größere Kanalbreite erreicht wird als bei
15 einem herkömmlichen Auswahltransistor. Unterhalb des Steges
ist in Figur 2 die Oxidschicht 11 und darunter das Bulk-
Material des Substrats 20 angeordnet, welches vorzugsweise
dotiert, insbesondere stark n-dotiert ist. Die Dotierung des
Steges 4 kann abweichend davon an die gewünschten elektri-
20 schen Eigenschaften des Auswahltransistors angepaßt sein.
Insbesondere kann das Halbleitermaterial des Steges 4 mit ei-
nem anderen Dotierungstyp, einem anderen Dotierstoff und/oder
einer anderen Dotierstoffkonzentration dotiert sein als das
Halbleitermaterial 20 unterhalb der vergrabenen Oxidschicht
11. Die Bitleitung 17 ist in Figur 2 durch eine Oxidschicht
22 oder ein anderes Dielektrikum gegen die Wortleitung 16
5 isoliert.

Der in Figur 2 im Querschnitt senkrecht zur Stromrichtung
30 dargestellte Steg 4 verläuft in Figur 1 von rechts nach links
zwischen dem ersten und dem zweiten Source/Drain-Gebiet 5, 6.
Der Oberflächenkontakt 19 besitzt eine Oberseite, die tiefer
angeordnet ist als die Oberseite 15 des Steges 4 und kann da-
her leicht durch eine isolierende Füllstruktur 30, beispiels-
35 weise ein Oxid bedeckt werden, bevor eine passing wordline
16a über dem Kondensatorgraben abgeschieden wird. Zum Isolie-

ren der Wortleitungen gegen die Bitleitungen wird eine Isolationsschicht 22 abgeschieden.

Der Speicherkondensator 2 besitzt als äußere Kondensatorelektrode entweder eine noch unterhalb der vergrabenen Isolationsschicht 11 angeordnete, im Bulk-Material angeordnete vergrabene Elektrode (buried plate) oder besteht aus dem dotierten, vorzugsweise stark n-dotierten Substratmaterial des Halbleitersubstrats 20. Die innere Kondensatorelektrode 12 ist nur durch ein Kondensatordielektrikum 13, welche auch eine Schichtenfolge sein kann, von dem Substrat 20 getrennt, und zwar auch in einem obersten Bereich dicht unterhalb der Isolationsschicht 11, wo herkömmlich ein Collar-Bereich vorgesehen ist. Die elektrische Verbindung zwischen der inneren Kondensatorelektrode 12 und dem ersten Source/Drain-Gebiet 5 des Auswahltransistors 3 wird durch einen Oberflächenkontakt 19 hergestellt.

Der Oberflächenkontakt 19 und der Auswahltransistor 3 sind durch die vergrabene Isolationsschicht 11 gegen das Halbleitermaterial des Halbleitersubstrats 20 isoliert, so daß Leckströme, sofern sie überhaupt auftreten, in diesem Bereich kleiner sind als bei herkömmlichen Halbleitespeichern.

Figur 3 zeigt in Draufsicht eine Anordnung von sieben Speicherkondensatoren 2, die zur rechten Seite hin mit je einem Auswahltransistor 3, der jeweils an einem Steg 4 ausgebildet ist, verbunden sind. Die Speicherkondensatoren 2 sind unterhalb der vergrabenen Isolationsschicht 11 angeordnet, die Auswahltransistoren 3 hingegen oberhalb der vergrabenen Isolationsschicht 11. Die Wortleitungen 16 kreuzen die Längsrichtung x der Stege 4 und bedecken beide Längsseiten dieser Stege sowie deren Oberseite. Dadurch wird nicht nur eine große Kanalbreite erzielt; durch sehr schmale Stege, die in Richtung y mit Hilfe von Spacern schmaler gestaltet sein können als der Abstand der Bitleitungen 17 voneinander, kann in dem Halbleitermaterial des Steges eine völlige Verarmung an

Ladungsträgern erreicht werden, so daß eine nahezu ideale on/off-Stromcharakteristik des Auswahltransistors 3 erreichbar ist. Die Unterschwellensteilheit eines solchen Transistors ist deutlich höher als bei einem herkömmlichen Transistor; es kann mit einer deutlich reduzierten Spannung am Gate ein wesentlich höherer Strom erzielt werden. Dadurch ergeben sich Vorteile gegenüber herkömmlichen Speichertypen, etwa eine höhere Stromaufnahme und ein geringerer Flächenverbrauch der Schaltungen.

10

In Figur 3 sind die Stege in Reihen entlang der Bitleitungen 17, die über ihnen verlaufen, angeordnet, wobei in Richtung y der Wortleitungen 16 benachbarte Stege 4 in x-Richtung zueinander versetzt sind, so daß solche benachbarten Speicherzellen, die durch zwei verschiedene Wortleitungen 16 angesteuert werden, stets auch zugleich durch zwei verschiedene Bitleitungen 17 angeschlossen sind.

15

Bei der Herstellung des erfindungsgemäßen Halbleiterspeichers wird zunächst ein SOI-Substrat, welches unterhalb seiner Oxidschicht 11 dotiert sein kann, mit einer Schichtenfolge zur Ätzung einer Maske für die Strukturierung von Kondensatorgräben bedeckt. Solch eine Schichtenfolge kann etwa aus einem Oxid, einem Nitrid, einem Borsilikatglas sowie Polysilizium bestehen. Nach der photolithographischen Ätzung der Kondensatorgräben werden das Kondensatordielektrikum (etwa ein Nitrid, Oxid, Aluminiumoxid etc.) und darauf die innere Kondensatorelektrode aus beispielsweise stark n-dotiertem Polysilizium abgeschieden. Das Material der inneren Kondensatorelektrode wird bis höchstens zur Unterkante der vergrabenen Isolationsschicht 11 des Halbleitersubstrats 20 rückgeätzt. Das Kondensatordielektrikum 13 wird dann in Höhe des Steges entfernt, eine Polysiliziumschicht abgeschieden und anschließend bis etwa auf Höhe der Stegobenseite oder wenig tiefer rückgeätzt. Jeder Oberflächenkontakt 19 wird in Richtung seines linken nächstgelegenen Steges 4 zur Hälfte entfernt und die so entstandene Öffnung mit einem isolierenden Material,

20

25

30

35

etwa einem Oxid 30 gefüllt, welches vorzugsweise auch die Oberseite des Oberflächenkontakt 19 bedeckt. Anschließend wird eine Hartmaske zur Strukturierung der Stege lithographisch strukturiert. Um besonders feine Hartmaskenstrukturen für die Stegstrukturierung herzustellen, kann auch ein Spacer als Maske verwendet werden. Dadurch lassen sich Stegbreiten in y-Richtung erzielen, die schmaler sind als die zur Strukturierung verwendete lithographische Auflösungsgrenze, mit der Wortleitungen und Bitleitungen strukturiert werden. Nach der Ätzung der Umgebungen der Stege wird die Ätzmaske entfernt, die Dotierung des Kanalgebietes durch eine Implantation in das Halbleitermaterial des Steges eingebracht und eine Gate-Oxidschicht gewachsen. Auf diese wird Polysilizium als erste Gate-Schicht 7 abgeschieden und chemisch-mechanisch poliert, um darüber eine zweite Gate-Schicht 8 aus beispielsweise Wolfram und eine Deckschicht aus Nitrid 23 abzuscheiden und anschließend die so gebildete Wortleitungsschichtenfolge lithographisch zu strukturieren. Diese Strukturierung beinhaltet eine Nitridätzung, eine Lackentfernung, eine Wolframätzung, eine Ätzung von Polysilizium und die anschließende Seitenwandoxidation der Wortleitung. Anschließend wird ein Nitrid oder ein anderes Spacermaterial abgeschieden und anisotrop rückgeätzt, wodurch Spacer 21, 24 entstehen. Anschließend werden die zweiten Source/Drain-Gebiete implantiert und durch eine Oxinitrid-Abscheidung und eine Abscheidung von BPSG (Borphosphorsilikatglas), welches thermisch verflossen wird, bedeckt. Nach dem Rückpolieren der BPSG-Füllung bis auf die Oberseite des die Wortleitungen bedeckenden Nitrids 23 wird ein undotiertes Oxid abgeschieden und lithographisch strukturiert, um Bitleitungskontaktlöcher zum Kontaktieren der zweiten Source/Drain-Gebiete 6 herzustellen, wobei eine Oxidätzung, eine Oxinitridätzung und eine Siliziumätzung aufeinanderfolgen. Schließlich wird ein Metall zur Herstellung der Bitleitungskontakte und der Bitleitungen selbst abgeschieden. Auf diese Weise kann an den Stegen im Speicherzellenfeld ein Auswahltransistor mit einem Transistorkanal horizontaler Stromrichtung hergestellt werden, der im on-Zustand

einen hohen Schreib- und Lese Strom zum Speicherkondensator 2 ermöglicht und im off-Zustand dennoch durch die vergrabene Isolationsschicht 11 gegenüber dem Material des Halbleitersubstrats 20 isoliert ist. Der auf diese Weise hergestellte integrierte Halbleiterspeicher besitzt zudem Speicherkondensatoren 2, die sich näher bis an die Oberfläche des Halbleitersubstrats erstrecken und daher auch eine geringfügig größere Kapazität als herkömmliche Speicherkondensatoren besitzen. Der Speicherkondensator kann ebenfalls ein Stapelkondensator (stacked capacitor), insbesondere ein oberhalb von Wortleitungen angeordneter Kondensator sein. In diesem Fall besteht keinerlei elektrische Verbindung zwischen dem Substratmaterial und der Speicherzelle. Eine dem erfindungsgemäßen Halbleiterspeicher zugrundeliegende Speicherzelle hat typischerweise eine Grundfläche von $8 F^2$, wobei F der optischen Auflösungsgrenze bzw. typischen Strukturbreite lithographisch erzeugter Strukturen entspricht.

Bezugszeichenliste

	1	Speicherzelle
	2	Speicher kondensator
5	3	Auswahltransistor
	4	Steg
	5	erstes Source/Drain-Gebiet
	6	zweites Source/Drain-Gebiet
	7	untere Gate-Schicht
10	8	obere Gate-Schicht
	9	Gate-Dielektrikum
	10	integrierter Halbleiterspeicher
	11	vergrabene Isolationsschicht
	12	innere Kondensatorelektrode
15	13	Kondensatordielektrikum
	14	Längsseite eines Steges
	15	Oberseite eines Steges
	16	Gate-Elektrode
	17	Bitleitung
20	18	Innenwandung eines Speicherkondensators
	19	Oberflächenkontakt
	20	Halbleitersubstrat
	21	Spacer
	22	Oxidschicht
	23	Nitridschicht
	24	weiterer Spacer
	25	isolierende Füllung
	26	Boden des Speicherkondensators
	30	isolierende Füllstruktur
30	A, B	seitliche Stegenden
	I	Stromflußrichtung des Transistorkanals

Patentansprüche

1. Integrierter Halbleiterspeicher (10) mit einer Speicherzelle (1), die einen Speicherkondensator (2) und einen Auswahltransistor (3) aufweist, wobei der Auswahltransistor (3) an einem Steg (4) aus Halbleitermaterial ausgebildet ist und ein erstes (5) und ein zweites Source/Drain-Gebiet (6) und mindestens eine Gate-Schicht (7, 8) aufweist,

- wobei der Steg (4) auf einer Isolationsschicht (11) angeordnet ist,

- wobei an einem seitlichen Ende (A) des Steges (4) das erste Source/Drain-Gebiet (5) auf der Isolationsschicht (11) angeordnet ist und an einem anderen seitlichen Ende (B) des Steges (4) das zweite Source/Drain-Gebiet (6) auf der Isolationsschicht (11) angeordnet ist, und

- wobei beide Längsseiten (14) des Steges (4) und die Oberseite (15) des Steges (4) mit einer Schichtenfolge aus einem Gate-Dielektrikum (9) und einer Gate-Elektrode (16) bedeckt sind.

2. Halbleiterspeicher nach Anspruch 1, dadurch gekennzeichnet, daß der Speicherkondensator (2) ein Grabenkondensator ist, dessen innere Kondensatorelektrode (12) in einer Tiefe unmittelbar unterhalb der vergrabenen Isolationsschicht (11) nur durch ein Kondensatordielektrikum (13), das sich bis zum Boden (26) des Speicherkondensators (2) erstreckt, von einer äußeren Kondensatorelektrode (18) getrennt ist.

3. Halbleiterspeicher nach Anspruch 1 oder 2, dadurch gekennzeichnet, daß sich die innere Kondensatorelektrode (12) des Speicherkondensators (2) bis zur Unterseite der vergrabenen Isolationsschicht (11) erstreckt und durch einen Oberflächenkontakt (19) mit dem ersten Source/Drain-Gebiet (5) des Auswahltransistors (3) verbunden ist.

4. Halbleiterspeicher nach Anspruch 3,
dadurch gekennzeichnet, daß
daß die Oberseite eines Oberflächenkontakts (19) für die in-
nere Kondensatorelektrode (12) unterhalb der Höhe der Ober-
5 seite des Steges (4) angeordnet ist und durch eine isolieren-
de obere Füllstruktur (30) gegen eine an dem Speicherkonden-
sator (2) vorbeiführende Wortleitung (16a) elektrisch iso-
liert ist.
- 10 5. Halbleiterspeicher nach einem der Ansprüche 1 bis 4,
dadurch gekennzeichnet, daß
das Halbleitersubstrat (20) unterhalb der vergrabenen Isola-
tionsschicht (11) dotiert ist.
- 15 6. Halbleiterspeicher nach einem der Ansprüche 1 bis 5,
dadurch gekennzeichnet, daß
das zweite Source/Drain-Gebiet (6) in Längsrichtung (x) des
Steges (4) dieselbe Abmessung besitzt wie die Unterseite ei-
nes Spacers (21) einer den Steg (4) bedeckenden Wortleitung
20 (16) und daß das zweite Source/Drain-Gebiet (6) auf der dem
Steg (4) abgewandten Seite mit einem Bitleitungskontakt (17a)
verbunden ist.
- 5 7. Halbleiterspeicher nach einem der Ansprüche 1 bis 6,
dadurch gekennzeichnet, daß
oberhalb des Steges (4) eine Bitleitung (17) angeordnet ist,
die parallel zur Längsrichtung (x) des Steges (4) verläuft
und an das zweite Source/Drain-Gebiet (6) angeschlossen ist.
- 30 8. Halbleiterspeicher nach einem der Ansprüche 1 bis 7,
dadurch gekennzeichnet, daß
senkrecht zur Längsrichtung (x) des Steges (4) eine Wortlei-
tung (16) verläuft, die das Gate-Dielektrikum (9) auf beiden
Längsseiten (14) und auf der Oberseite (15) des Steges be-
35 deckt.
9. Halbleiterspeicher nach einem der Ansprüche 1 bis 8,

d a d u r c h g e k e n n z e i c h n e t, daß
der Halbleiterspeicher eine Vielzahl von Speicherzellen (1)
mit an Stegen (4) ausgebildeten Auswahltransistoren (2) auf-
weist, wobei nur an jedem zweiten Kreuzungspunkt zwischen ei-
5 ner Bitleitung (17) und einer Wortleitung (16) ein Bitlei-
tungskontakt (17a) angeordnet ist und an den übrigen Kreu-
zungspunkten eine Wortleitung (16) oberhalb oder unterhalb
eines Speicherkondensators (2) vorbeiführt.

- 10 10. Halbleiterspeicher nach einem der Ansprüche 1 bis 9,
d a d u r c h g e k e n n z e i c h n e t, daß
der integrierte Halbleiterspeicher (10) ein dynamischer
Schreib-Lese-Speicher ist.

Zusammenfassung

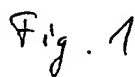
Integrierter Halbleiterspeicher mit einem an einem Steg ausgebildeten Auswahltransistor

5

Es wird ein integrierter Halbleiterspeicher (10) vorgeschlagen, dessen Auswahltransistoren (3) jeweils an einem Steg (4) ausgebildet sind, wobei jeweils der Steg (4) auf einer Isolationsschicht (11) angeordnet ist, an einem seitlichen Ende (A) des Steges (4) das erste Source/Drain-Gebiet (5) auf der Isolationsschicht (11) angeordnet ist und an einem anderen seitlichen Ende (B) des Steges (4) das zweite Source/Drain-Gebiet (6) auf der Isolationsschicht (11) angeordnet ist, und wobei beide Längsseiten (14) des Steges (4) und die Oberseite (15) des Steges (4) mit einer Schichtenfolge aus einem Gate-Dielektrikum (9) und einer Gate-Elektrode (16) bedeckt sind. Durch diese Bauweise werden im on-Zustand der Auswahltransistoren (3) sehr hohe Schreib-Lese-Ströme erreicht und im off-Zustand auftretende Leckströme reduziert.

20

Figur 1



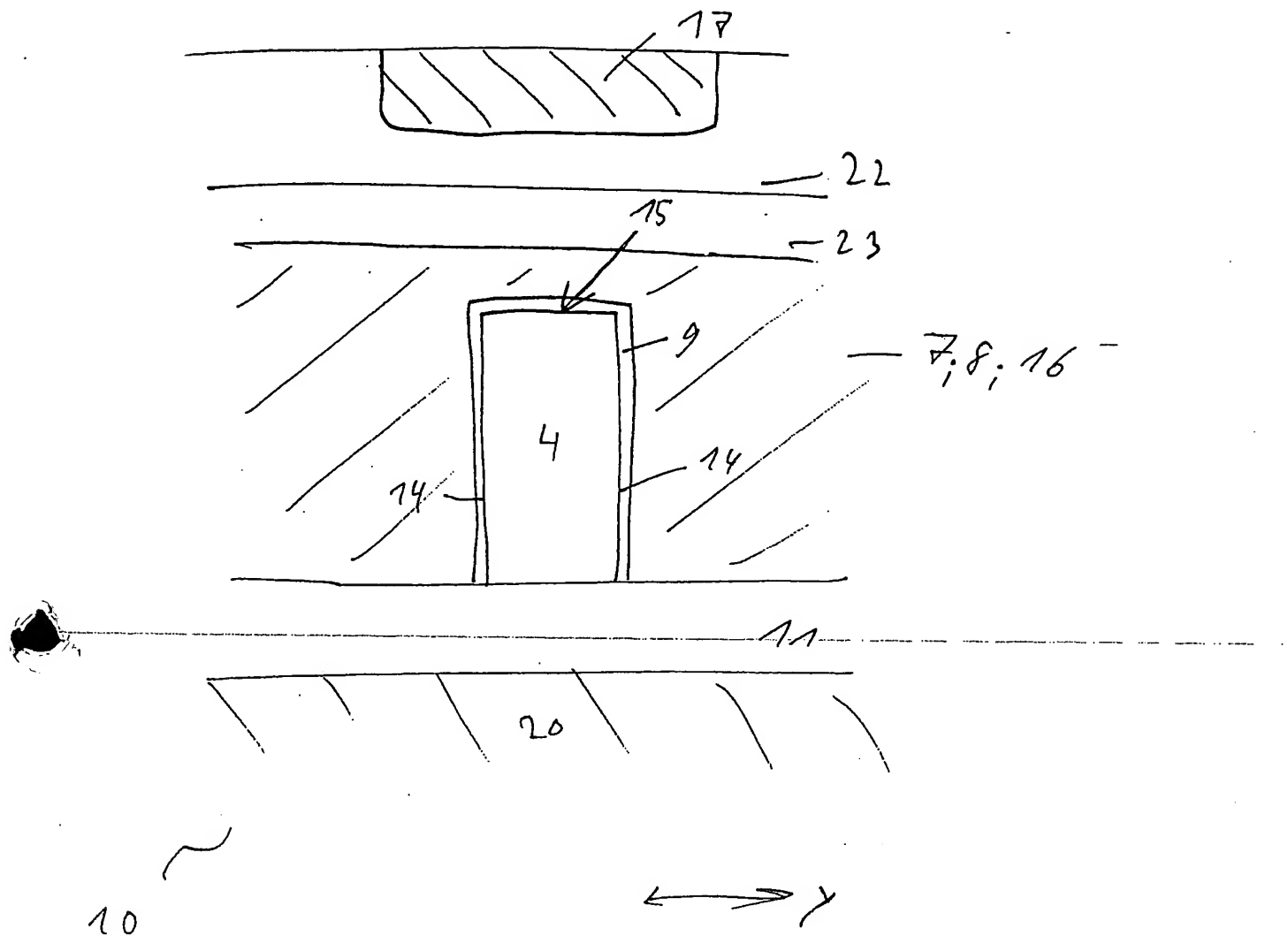


Fig. 2

3 13

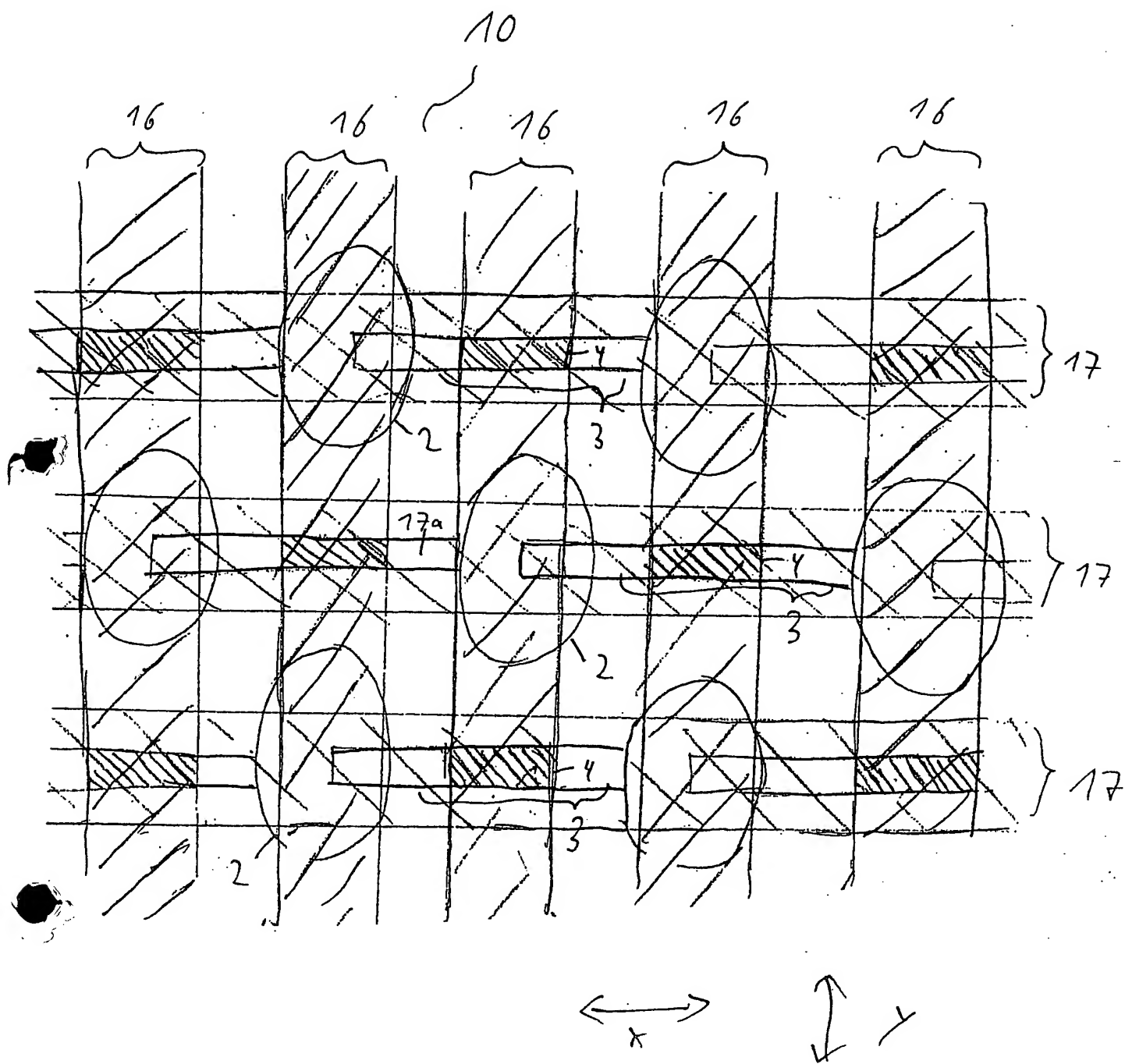


Fig. 3